

# BEST AVAILABLE COPY

(19)

JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06021095 A**

(43) Date of publication of application: **28.01.94**

(51) Int. Cl

**H01L 21/336**

**H01L 29/784**

(21) Application number: **04176319**

(71) Applicant: **NEC CORP**

(22) Date of filing: **03.07.92**

(72) Inventor: **FUKUI TAKAMICHI**

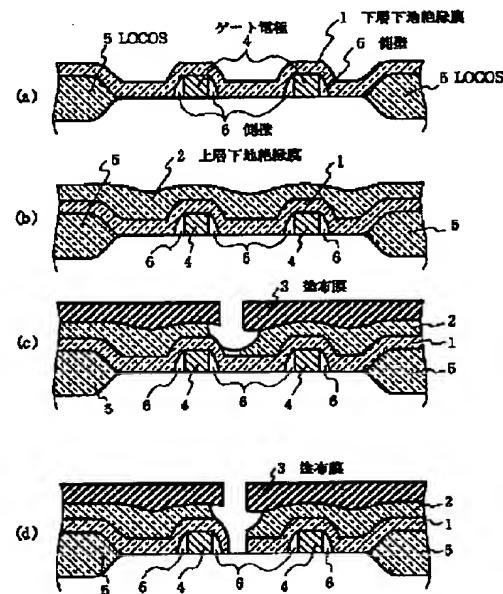
### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

#### (57) Abstract:

**PURPOSE:** To prevent a drop in yield induced by a short circuit between a gate electrode and a contact hole tapered portion by allowing a lower layer base insulation film to consist of a low etch rate of oxide film and an upper layer base insulation film to consist of a high etch rate of an oxide film.

**CONSTITUTION:** A low etch rate of silicon oxide film is adapted to grow on a base device by processing a lower layer base insulation film based on a CVD process at a high temperature (600 to 800°C). Then, a high etch rate of silicon oxide film is grown thereon by processing an upper layer base insulation layer 2 based on the CVD process at a low temperature (200 to 300°C). Then, the layer is coated with a coat film 3 and bored in a contact hole formation area by photo-exposure and wet-etched and then dry-etched, thereby forming a tapered portion and a contact hole. A gate electrode 4 is protected with the low etch rate of silicon oxide film. This construction makes it possible to prevent a drop in yield resultant from a short circuit between the gate electrode 4 and the contact hole.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-21095

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>H 01 L 21/336  
29/784

識別記号

府内整理番号

F I

技術表示箇所

7377-4M

H 01 L 29/ 78

3 0 1 Y

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号

特願平4-176319

(22)出願日

平成4年(1992)7月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 福井 孝道

東京都港区芝五丁目7番1号日本電気株式  
会社内

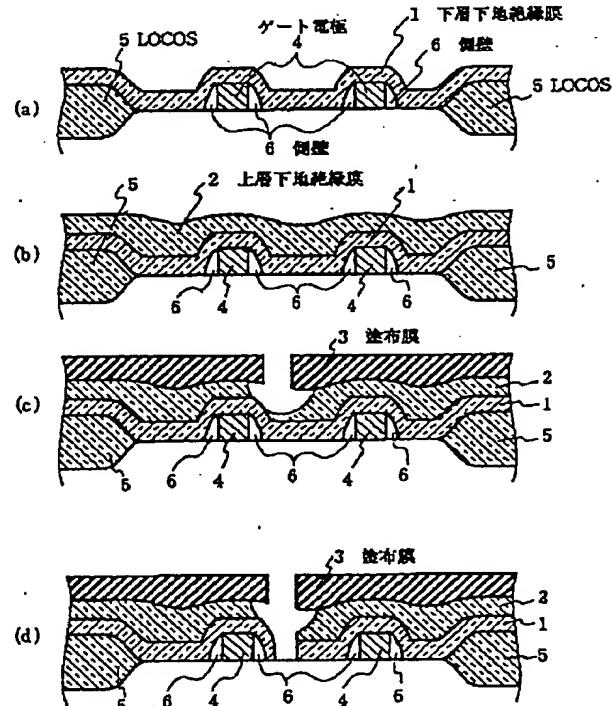
(74)代理人 弁理士 京本 直樹 (外2名)

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】 コンタクトホールのテーパー部を形成する場合、ゲート電極とテーパー部の短絡による歩留低下を防止する。

【構成】 下地素子形成後、その上に下層下地絶縁膜1を高温のCVD法を用いて低エッチレートのシリコン酸化膜を成長させる。次にその上に上層下地絶縁膜2を低温のCVD法を用いて高エッチレートのシリコン酸化膜を成長させる。続いて塗布膜3で覆い、光露光技術によりコンタクトホール形成領域に開孔し、ウェットエッティング、次いでドライエッティングによりテーパー部及びコンタクトホールを開孔する。本発明によればゲート電極を低エッチレートのシリコン酸化膜で保護することにより製造マージンが小さいゲート電極-コンタクトホールテーパー部のマージンを大きくすることが可能となり、短絡を防止することができる。



## 【特許請求の範囲】

【請求項1】 MOSFETトランジスタを有する半導体装置の製造方法において、トランジスタ素子形成後、トランジスタ素子と金属配線との間の層間膜を高温(600~800°C)のCVD法により第1の絶縁膜を形成する工程と、次に低温(200~300°C)のCVD法により第2の絶縁膜を形成する工程と、続いてその上を塗布膜で覆い、光露光技術により所望のレジスト膜を除去する工程と、その後、ウェット・エッティング技術によりコンタクトホールのテーパー部を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に2種類の絶縁膜を用いた、上層配線と下地素子の絶縁方法に関する。

## 【0002】

【従来の技術】 この従来の半導体装置の製造方法を図2のコンタクト穴形成時に目合せズレを考慮した断面図により説明する。まず下地素子形成後(図2(a))低温のCVD法により下地絶縁膜7(図2(b))500nmを形成する。その後、その上を塗布膜で覆い光露光技術により所望のレジスト膜を除去する。

【0003】 次に、上地配線系と電気的接続を行うコンタクト・ホールの形成を行う。まずウェットエッティング技術により配線のカバレッジを向上するテーパー部の形成を行う(図2(c))。その後、ドライ・エッティング技術により下地絶縁膜1を異方性のエッティングをしてコンタクトホールを開孔する(図2(d))。次にアルミニウムのスパッタを行い、ホトリソグラフィ技術により、アルミニウムのパターニングを行い、続いて、エッティングを行い配線系の形成を行う。

## 【0004】

【発明が解決しようとする課題】 この従来の製造方法では、下地絶縁膜が単層である為、コンタクトホール開孔時の0.5μm程度の目ズレによりゲート電極とテーパー部で短絡が発生し、著しく歩留りを下げる原因となっていた。又、テーパー部形成の際、下地絶縁膜のエッチレート、エッティング液のエッチレートの揺らぎによる、オーバーエッティングを考慮し、ゲート電極とコンタクトホールの目合せマージンを多くとらねばならない為に高集積化には不向きであった。

【0005】 本発明の目的は、コンタクトホールのテーパー部を形成する場合、ゲート電極とテーパー部の短絡による歩留り低下を防止できる半導体装置の製造方法を提供することにある。

## 【0006】

【課題を解決するための手段】 よって、本発明の半導体装置のトランジスタ素子とメタル配線間の層間絶縁膜は2層から構成されている。下層下地絶縁膜は高温のCVD法にて形成した低エッチレート(50nm/min)の酸化膜、上層下地絶縁膜は、低温のCVD法にて形成した高エッチレート(110nm/min)の酸化膜から構成されている。

## 【0007】

【実施例】 次に本発明について、図面を参照して説明する。図1は本発明の一実施例を説明するために工程順に示した半導体装置のコンタクト穴形成時に目合せズレを考慮した断面図である。

【0008】 本発明により形成された半導体装置の構成は下層下地絶縁膜1、上層下地絶縁膜2、塗布膜3、ゲート電極4、LOCOS5、側壁6から成る。

【0009】 その製造方法は、まず、図1(a)に示すように高温のCVD法により下層下地絶縁膜1、250nm(シリコン酸化膜)を半導体素子上に成長させる。次に、図1(b)に示すように低温のCVD法にて上層下地絶縁膜2、250nm(シリコン酸化膜)を成長させる。その後図1(c)に示すように、塗布膜3でその上を覆い光露光技術により、コンタクトホールを形成する部分のレジスト膜を除去する。続いて、ウェット・エッティング技術により、コンタクトホールのテーパー部を形成する。この際、ゲート電極とテーパー部の間には低エッチレートの第1の下地絶縁膜1がある為テーパー部、ゲート電極間には、通常より厚く、絶縁膜が残る。

【0010】 続いて、図1(d)に示すように、ドライ・エッティング技術によりコンタクト・ホールの開孔を行い、塗布膜を除去したのち、アルミニウム等の配線材料をスパッタして、所望の配線のパターニングを行うことにより第1の実施例を完成する。

【0011】 第2の実施例は、第1の実施例と構造は同等であるので図面および詳細な説明は省略する。第1の実施例と異なる点として、下層下地絶縁膜1を高温のCVD法によるシリコン酸化膜250nm、上層下地絶縁膜2を低温のCVD法によるシリコン窒化膜250nmから構成されている。本第2の実施例においても第1の実施例と同様の効果が得られた。

## 【0012】

【発明の効果】 以上説明したように本発明は、下地素子絶縁膜を低エッチレートの層、高エッチレートの層の2層構成にし低エッチレート層をゲート電極の保護膜として用いることにより、コンタクトホールテーパー部との短絡を防止するという結果を有する。

## 【図面の簡単な説明】

【図1】 本発明の一実施例を説明するために工程順に示した半導体素子の断面図である。

【図2】 従来の半導体装置の製造方法を説明するために工程順に示した半導体素子の断面図である。

## 【符号の説明】

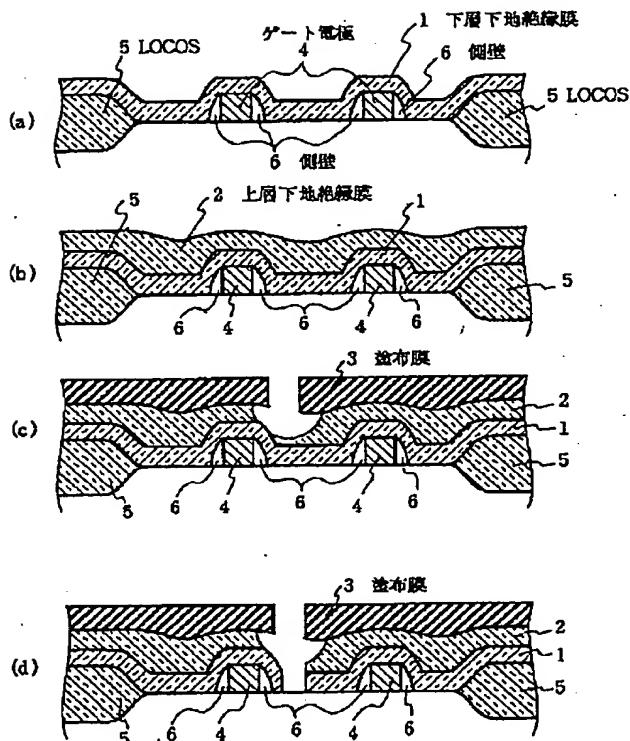
- 1 下層下地絶縁膜
- 2 上層下地絶縁膜

## BEST AVAILABLE COPY

3 塗布膜  
4 ゲート電極  
5 LOCOS

側壁  
7 下地絶縁膜

【図1】



【図2】

